

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-120739

(43)Date of publication of application : 28.04.1994

(51)Int.Cl.

H03F 1/00

H03F 1/34

(21)Application number : 04-270529

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 08.10.1992

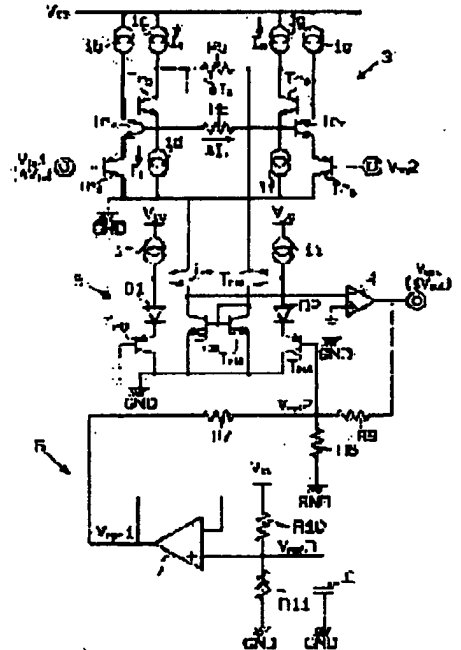
(72)Inventor : HANDA HARUMI
SUZUKI HISAO
SUZUMURA YOSHIHIRO

(54) AMPLIFIER CIRCUIT

(57)Abstract:

PURPOSE: To obtain an amplifier circuit in which the output of a pop noise can be prevented at the time of a power supply by delaying the rising of a reference voltage than the rising of a power source, and delaying the rising of the direct current components of an output signal by a reference voltage generating circuit.

CONSTITUTION: In a reference voltage generating circuit 8, the plus side input terminal of an operating amplifier circuit 7 is connected through the first resistance R10 with a power source VCC, connected through the second resistance R11 with a ground GND, and a capacity C is connected with the resistance R11 in parallel. Then, the minus side input terminal of the operating amplifier circuit 7 is connected with the output terminal of the circuit 7, and a reference voltage Vref 1 is outputted from the output terminal of the circuit 7. Therefore, when the power source VCC is in a normal state, the reference voltage Vref 1 from the operating amplifier circuit 7 is a reference voltage Vref 3 obtained by parting the power source VCC by the resistances R10 and R11. When the power source VCC is supplied, the reference voltage Vref 3 is gradually rising based on the capacity value of the capacity C, so that the rising of the reference voltage Vref 1 can be delayed than the rising of the power source VCC, and the generation of the pop noise can be prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-120739

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl.⁴

H03F 1/00
1/34

識別記号

庁内整理番号

FI

技術表示箇所

D 7350-5J
8522-5J

審査請求 未請求 請求項の数2(全7頁)

(21)出願番号 特願平4-270529

(22)出願日 平成4年(1992)10月8日

(71)出願人 000005223

富士通株式会社
神奈川県川崎市中原区上小田中1015番地

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社
愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 半田 春美

愛知県春日井市高蔵寺町2丁目1844番2
富士通ヴィエルエスアイ株式会社内

(72)発明者 鈴木 久雄

愛知県春日井市高蔵寺町2丁目1844番2
富士通ヴィエルエスアイ株式会社内

(74)代理人 弁理士 恩田 博宜

最終頁に続く

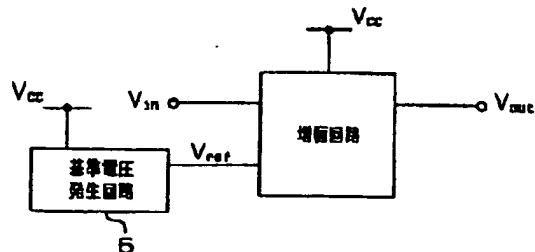
(54)【発明の名称】 増幅回路

(57)【要約】

【目的】本発明は電源の投入時にポップノイズを出力することのない増幅回路を提供することを目的とする。

【構成】入力信号 V_{in} に基づいて直流成分を含む出力信号 V_{out} が出力され、前記出力信号 V_{out} の直流成分は基準電圧発生回路6から出力される基準電圧 V_{ref} で設定される増幅回路で、前記基準電圧発生回路6により前記基準電圧 V_{ref} の立ち上がりが電源 V_{cc} の立ち上がりより鈍らせて出力される。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 入力信号 (Vin) に基づいて直流成分を含む出力信号 (Vout) を出力し、前記出力信号 (Vout) の直流成分は基準電圧発生回路 (6) から出力される基準電圧 (Vref) で設定する増幅回路であって、前記基準電圧発生回路 (6) は前記基準電圧 (Vref) の立ち上がりを電源 (Vcc) の立ち上がりより鈍らせて出力することを特徴とする増幅回路。

【請求項2】 前記基準電圧発生回路 (6) はオペアンプ回路 (7) のプラス側入力端子を第一の抵抗 (R10) を介して電源 (Vcc) に接続するとともに第二の抵抗 (R11) を介してグラウンド (GND) に接続し、前記第二の抵抗 (R11) には容量 (C) を並列に接続し、前記オペアンプ回路 (7) のマイナス側入力端子は該オペアンプ回路 (7) の出力端子に接続し、前記オペアンプ回路 (7) の出力端子から前記基準電圧 (Vref) を出力することを特徴とする請求項1記載の増幅回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は音声信号を増幅する増幅回路に関するものである。音声信号を増幅する増幅回路では、電源投入時に出力DC電圧が急激に上昇する *

$$V_{out}(DC) = R_e \cdot I_a$$

【0007】で表される。

【0008】

【発明が解決しようとする課題】 ところが、上記のような増幅回路では電源を投入していない状態では、出力信号 Vout はグラウンド GND レベルにあり、この状態から電源を投入すると、その投入の瞬間に前記電流源 1a に流れる電流が急激に増大する。

【0009】すると、図5に示すように出力信号 Vout (DC) の電位が急激に上昇するため、出力端子 To に接続されるスピーカからポップノイズが出力されるという問題点がある。

【0010】この発明の目的は、電源の投入時にポップノイズを出力することのない増幅回路を提供することにある。

【0011】

【課題を解決するための手段】 図1は本発明の原理説明図である。すなわち、入力信号 Vin に基づいて直流成分を含む出力信号 Vout が出力され、前記出力信号 Vout の直流成分は基準電圧発生回路 6 から出力される基準電圧 Vref で設定される増幅回路で、前記基準電圧発生回路 6 により前記基準電圧 Vref の立ち上がりが電源 Vcc の立ち上がりより鈍らせて出力される。

【0012】また、図2に示すように前記基準電圧発生回路 6 はオペアンプ回路 7 のプラス側入力端子が第一の抵抗 R10 を介して電源 Vcc に接続されるとともに第二

* と、その増幅回路で駆動されるスピーカからポップノイズが発生することがある。従って、出力信号に歪みを発生させることなく、電源投入時のポップノイズの発生を防止することが要請されている。

【0002】

【従来の技術】 図4は従来の増幅回路の一例を示す。すなわち、増幅器 1 のプラス側入力端子に入力信号 Vin が入力され、同増幅器 1 のマイナス側入力端子には抵抗 R1 を介して容量が接続されている。

【0003】前記増幅器 1 の出力端子 To と前記マイナス側入力端子とは抵抗 R2 を介して接続され、そのマイナス側入力端子は電流源 1a を介してグラウンド GND に接続されている。

【0004】そして、抵抗 R1、R2 で設定される増幅率に基づいて入力信号 Vin が増幅され、前記出力端子 To から出力信号 Vout として出力される。なお、前記出力端子 To には負荷回路としてスピーカ（図示しない）が接続される。

【0005】このように構成された増幅回路では、入力信号 Vin が 0V となると、出力信号 Vout は DC 電圧となり、その DC 出力信号 Vout (DC) は、

【0006】

【数1】

(1)

の抵抗 R11 を介してグラウンド GND に接続され、前記第二の抵抗 R11 には容量 C が並列に接続され、前記オペアンプ回路 7 のマイナス側入力端子は該オペアンプ回路 7 の出力端子に接続され、前記オペアンプ回路 7 の出力端子から前記基準電圧 Vref が出力される。

【0013】

【作用】 電源投入時には基準電圧発生回路 6 により基準電圧 Vref の立ち上がりが電源 Vcc の立ち上がりより鈍くなるので、出力信号 Vout の直流成分の立ち上がりが鈍くなる。

【0014】

【実施例】 図2はこの発明を具体化した一実施例を示す。すなわち、入力信号 Vin1 は PNP トランジスタ Tr3 のベースに入力され、同トランジスタ Tr3 のエミッタは NPN トランジスタ Tr4 のエミッタに接続され、同トランジスタ Tr3 のコレクタはグラウンド GND に接続されている。

【0015】前記トランジスタ Tr4 のコレクタには電源 Vcc から電流源 1b を介してコレクタ電流が供給される。また、前記電流源 1b には NPN トランジスタ Tr5 のベースが接続されて同電流源 1b からベース電流が供給され、同トランジスタ Tr5 のコレクタには電源 Vcc から電流源 1c を介してコレクタ電流が供給される。

【0016】前記トランジスタ Tr5 のエミッタは前記トランジスタ Tr4 のベースに接続されるとともに、電流源

1dを介してグラウンドGNDに接続されている。また、入力信号Vin2はPNPトランジスタTr6のベースに入力され、同トランジスタTr6のエミッタはNPNトランジスタTr7のエミッタに接続され、同トランジスタTr6のコレクタはグラウンドGNDに接続されている。

【0017】前記トランジスタTr7のコレクタには電源Vccから電流源1eを介してコレクタ電流が供給される。また、前記電流源1eにはNPNトランジスタTr8のベースが接続されて同電流源1eからベース電流が供給され、同トランジスタTr8のコレクタには電源Vccから電流源1gを介してコレクタ電流が供給される。

【0018】前記トランジスタTr8のエミッタは前記トランジスタTr7のベースに接続されるとともに、電流源1fを介してグラウンドGNDに接続されている。前記トランジスタTr5、Tr8のコレクタは抵抗R5を介して接続され、前記トランジスタTr5、Tr8のエミッタは抵抗R6を介して接続されている。そして、上記構成により入力回路部3が構成されている。

【0019】前記トランジスタTr5のコレクタはPNPトランジスタTr9のエミッタに接続され、同トランジスタTr9のベースはダイオードD1のアノードに接続されている。

【0020】また、前記ダイオードD1のアノードには電源Vccから電流源1hを介して順方向電流が供給され、同ダイオードD1のカソードはPNPトランジスタTr13のエミッタに接続されている。

【0021】前記トランジスタTr13のベースには基準電圧Vref1が入力され、コレクタはグラウンドGNDに接続されている。前記トランジスタTr8のコレクタはPNPトランジスタTr11のエミッタに接続され、同トランジスタTr11のベースはダイオードD2のアノードに接続されている。

【0022】また、前記ダイオードD2のアノードには電源Vccから電流源1iを介して順方向電流が供給され、同ダイオードD2のカソードはPNPトランジスタTr14のエミッタに接続されている。

【0023】前記トランジスタTr14のベースには、基準電圧Vref1を抵抗R7、R8で分圧した基準電圧Vref2が入力され、コレクタはグラウンドGNDに接続されている。

*【0024】前記トランジスタTr9のコレクタはNPNトランジスタTr10のコレクタに接続され、同トランジスタTr10のエミッタはグラウンドGNDに接続されている。前記トランジスタTr11のコレクタはNPNトランジスタTr12のコレクタに接続され、同トランジスタTr12のエミッタはグラウンドGNDに接続されている。

【0025】また、前記トランジスタTr10、Tr12のベースは互いに接続され、同トランジスタTr12のコレクタはトランジスタTr10、Tr12のベースに接続されている。

【0026】従って、前記トランジスタTr9～Tr12によりカレントミラー回路が構成される。前記トランジスタTr10のコレクタはオペアンプ回路4のマイナス側入力端子に入力され、同オペアンプ回路4のプラス側入力端子には定電圧が入力されている。

【0027】前記オペアンプ回路4の出力端子から出力信号Voutが出力され、同出力端子は抵抗R9を介して前記トランジスタTr14のベースに接続されている。そして、上記トランジスタTr9～Tr14、ダイオードD1、D2、抵抗R7～R9及びオペアンプ回路4とで帰還回路部5が構成されている。

【0028】前記基準電圧Vref1を発生させる基準電圧発生回路6は、オペアンプ回路7のプラス側入力端子ノードN1が抵抗R10を介して電源Vccに接続され、抵抗R11を介してグラウンドGNDに接続されている。

【0029】また、オペアンプ回路7のプラス側入力端子は容量Cを介してグラウンドGNDに接続され、マイナス側入力端子は同オペアンプ回路7の出力端子に接続されている。

【0030】従って、電源Vccが定常状態であれば、オペアンプ回路7から出力される基準電圧Vref1は電源Vccを抵抗R10、R11で分圧した基準電圧Vref3となる。また、電源Vccを投入した瞬間は容量Cの容量値に基づいて基準電圧Vref3が徐々に上昇するため、基準電圧Vref1は電源Vccの立ち上がりより遅れて立ち上がる。

【0031】次に、上記のように構成された増幅回路の動作を説明する。まず、前記基準電圧Vref3は、

【0032】

【数2】

$$V_{ref3} = V_{cc} \cdot \frac{R_{11}}{R_{10} + R_{11}} \quad (2)$$

【0033】となる。前記オペアンプ回路7の動作により前記基準電圧Vref1は基準電圧Vref3と等しくなるため、同基準電圧Vref1は、

※【0034】

【数3】

$$V_{ref1} = V_{cc} \cdot \frac{R_{11}}{R_{10} + R_{11}} \quad (3)$$

【0035】となる。前記基準電圧Vref1と前記基準電圧Vref2との関係は、抵抗R5の両端子間電圧をΔVo

とし、前記各トランジスタTr3~Tr14のベース・エミッタ間電圧降下をVBET3~VBET14とし、ダイオードD1, D2の順方向電圧降下をVBED1~VBED2とすると、*

$$\begin{aligned} & V_{ref1} + V_{BET13} + V_{BED1} + V_{BET9} + \Delta V_o \\ & - V_{BET11} - V_{BED2} - V_{BET14} = V_{ref2} \end{aligned} \quad (4)$$

【0037】となる。ここで、

【0038】

$$V_{BET13} = V_{BET14}, V_{BED1} = V_{BED2}, V_{BET9} = V_{BET11} \quad (5)$$

【0039】とすれば、

【0040】

$$V_{ref2} = V_{ref1} + \Delta V_o \quad (6)$$

【0041】となる。ここで、前記 $\Delta V_o = 0$ となると、出力信号VoutはDC電圧である出力信号Vout(DC)となり、Vref1-Vref2となる。よって、

$$\frac{V_{ref1}}{R8} = \frac{V_{out(DC)} - V_{ref1}}{R9} \quad (7)$$

【0043】となり、この結果、

【0044】

$$V_{out(DC)} = V_{ref1} \cdot \frac{R8+R9}{R8} = V_{ref3} \cdot \frac{R8+R9}{R8} \quad (8)$$

【0045】となる。また、前記(2)(3)式と(8)式とから

$$V_{out(DC)} = V_{cc} \cdot \frac{R11}{R10+R11} \cdot \frac{R8+R9}{R8} \quad (9)$$

【0047】となる。以上のようにこの増幅回路の出力信号Vout(DC)は、電源Vccが定常状態にある場合には、電源Vccと抵抗R8~R11で設定される。そして、電源Vccの供給が遮断された状態から電源Vccが投入された場合には、出力信号Vout(DC)は容量Cの充電動作に基づいて緩やかに立ち上がる基準信号Vref3に同期して立ち上がる。

【0048】従って、図3に示すように電源Vccの投入時に出力信号Vout(DC)は緩やかに立ち上がるため、ポップノイズの発生を未然に防止することができる。

【0049】

【発明の効果】以上詳述したように、この発明は電源の投入時にポップノイズを出力することのない増幅回路を提供することができる優れた効果を発揮する。

* 【0036】
【数4】

※ 【数5】

※

★ 【数6】

★

☆ 【0042】
【数7】

☆

◆ 【数8】

* 【0046】
【数9】

*

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の一実施例を示す回路図である。

【図3】一実施例の増幅回路の電源投入時の出力信号波形図である。

【図4】従来例の増幅回路を示す回路図である。

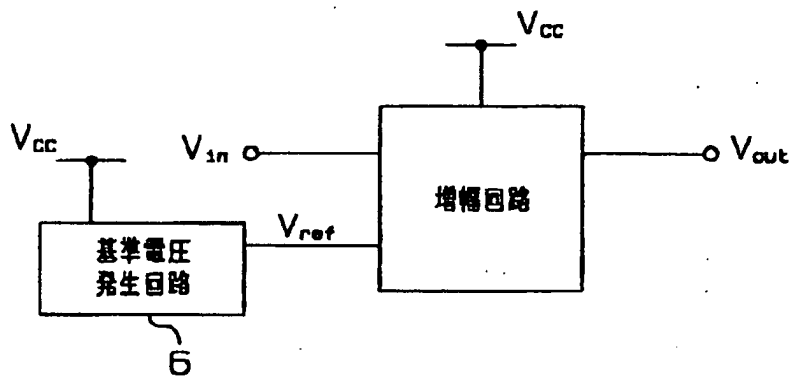
【図5】従来例の増幅回路の電源投入時の出力信号波形図である。

【符号の説明】

6 基準電圧発生回路
Vin 入力信号
Vout 出力信号
Vref 基準電圧
Vcc 電源

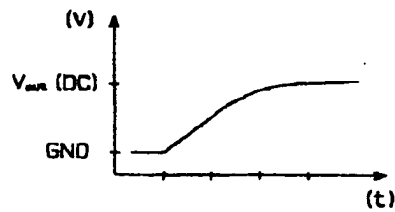
【図1】

本発明の原理説明図



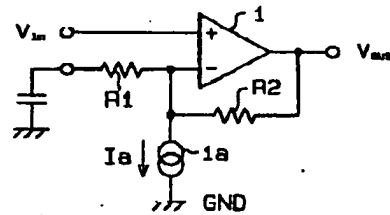
【図3】

一実施例の増幅回路の電源投入時の出力信号波形図



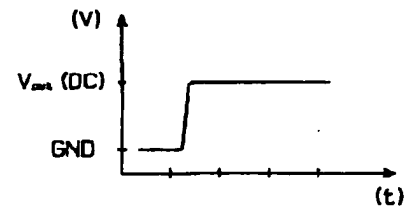
【図4】

従来例の増幅回路を示す回路図

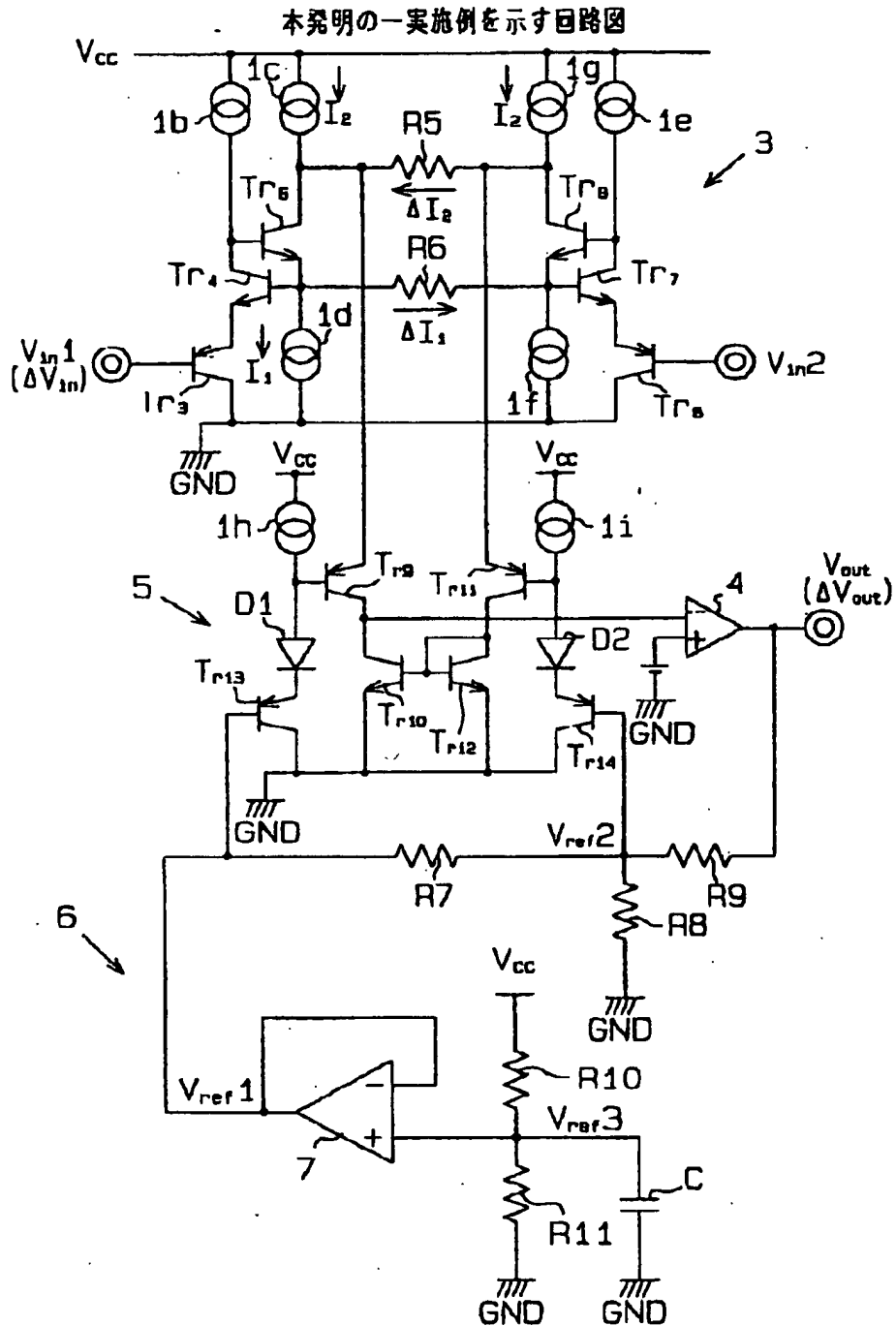


【図5】

従来例の増幅回路の電源投入時の出力信号波形図



【図2】



フロントページの続き

(72)発明者 鈴村 嘉裕

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内